

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-330536

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

H01L 31/107

(21)Application number : 10-130793

(71)Applicant : NEC CORP

(22)Date of filing : 13.05.1998

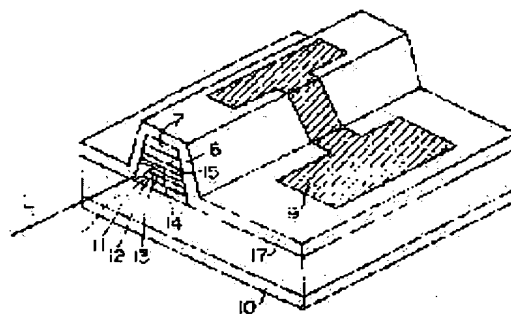
(72)Inventor : NAKADA TAKESHI

(54) SEMICONDUCTOR LIGHT RECEIVING ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a highly sensible avalanche-doubling semiconductor light receiving element which is high in doubling rate in low voltage operation and is low in dark currents at the same time, and further can widen the range of material of a light absorbing layer, taking away the lattice conformity conditions of the light absorbing layer.

SOLUTION: This element is equipped with an avalanche-doubling layer 12 and light absorbing layers 14 and 15 on a semiconductor substrate 1, and it is constituted, catching one or both of these doubling layer 12 and the light absorbing layers 14 and 15 with guide layers 11 and 16. In this case, the concentration of the light absorbing layers 14 and 15 is made higher than the carrier concentration of the avalanche-doubling layer 12.



LEGAL STATUS

[Date of request for examination] 13.05.1998

[Date of sending the examiner's decision of rejection] 21.03.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-330536

(43) 公開日 平成11年(1999)11月30日

(51) Int.Cl.⁶

H 0 1 L 31/107

識別記号

F I

H 0 1 L 31/10

B

審査請求 有 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平10-130793

(22) 出願日 平成10年(1998)5月13日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中田 武志

東京都港区芝五丁目7番1号 日本電気株式会社内

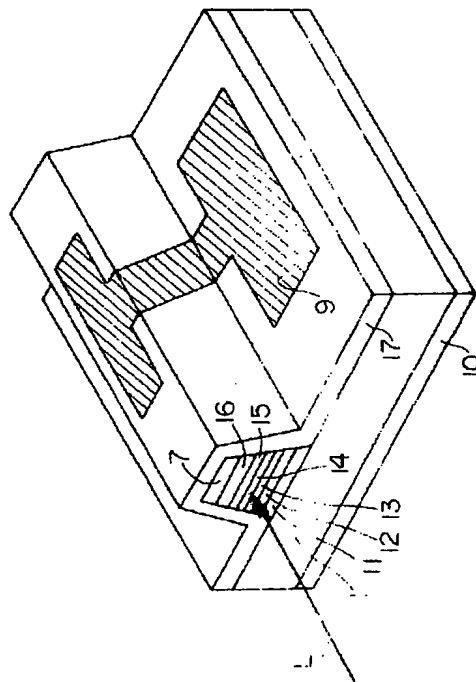
(74) 代理人 弁理士 高橋 詔男 (外3名)

(54) 【発明の名称】 半導体受光素子

(57) 【要約】

【課題】 低電圧動作で増倍率が高く、同時に暗電流が低い高感度のアバランシェ増倍型の半導体受光素子を提供することを目的とし、さらに、光吸収層の格子整合条件を取り除き、光吸収層の材料の範囲を広げることができるアバランシェ増倍型の半導体受光素子を提供する。

【解決手段】 半導体基板1上に、アバランシェ増倍層12及び光吸収層14、15を備え、これら増倍層12及び光吸収層14、15の一方または双方をガイド層11、16で挟んでなる導波路型の半導体受光素子において、光吸収層14、15のキャリア濃度を、アバランシェ増倍層12のキャリア濃度より高濃度としたことを特徴とする。



【特許請求の範囲】

【請求項1】 半導体基板上に、アバランシェ増倍層及び光吸収層を備え、これらの層の一方または双方をガイド層で挟んでなる導波路型の半導体受光素子において、前記光吸収層のキャリア濃度を、前記アバランシェ増倍層のキャリア濃度より高濃度としたことを特徴とする半導体受光素子。

【請求項2】 前記アバランシェ増倍層と前記光吸収層との間に電界緩和層を設けたことを特徴とする請求項1記載の半導体受光素子。

【請求項3】 前記アバランシェ増倍層を超格子により構成したことを特徴とする請求項1または2記載の半導体受光素子。

【請求項4】 前記光吸収層のキャリア濃度は、積層方向に濃度勾配を有することを特徴とする請求項1、2または3記載の半導体受光素子。

【請求項5】 前記アバランシェ増倍層の厚みは、0.3 μ m以下であることを特徴とする請求項1ないし4のいずれか1項記載の半導体受光素子。

【請求項6】 前記光吸収層を前記アバランシェ増倍層より上方に形成し、かつ、前記光吸収層に歪を導入してそのバンドギャップを任意に変化させたことを特徴とする請求項1ないし5のいずれか1項記載の半導体受光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体受光素子に関し、特に、低電圧、低雑音及び高速応答に優れたアバランシェ増倍型の半導体受光素子に関するものである。

【0002】

【従来の技術】従来、受光素子の1種に、入射光により生成したキャリアを空乏層のなだれ現象を用いて増倍し、受光感度を高める、アバランシェ増倍型半導体受光素子がある。この受光素子は、半導体のpn接合を用いて光を検出するフォトダイオードにアバランシェ過程を組み合わせることで、信号増幅効果を有し、受信感度が高く、しかも高速応答に優れているという特徴を有する。

【0003】アバランシェ過程とは、半導体のpn接合に深い逆バイアスを印加することにより、高電界下で加速された電子や正孔によりイオン化を生じさせ、そこで生じた電子-正孔対の電子が再び高電界により加速されてイオン化するという現象が連鎖反動的に起きる過程である。この過程の極限状態がアバランシェ降伏である。この現象を利用して信号を増幅することができる。このとき、アバランシェ増倍を得るためには高電界を印加する必要があることと、トンネルブレイクダウンを防ぐためにアバランシェ増倍層の層厚を確保する必要があることから、一般的には、その動作電圧を大きな値とすることが必要である。

【0004】一方、北野らや花谷らは、光吸収層とアバランシェ増倍層を一体化させて薄膜とすることで、動作電圧の低減が可能であることを提案している（北野ら：信学技報OPE96-11, p61, (1996-05)、花谷ら：特開平8-32105号公報等参照）。図4は、動作電圧の低減が可能なアバランシェ増倍型半導体受光素子を示す斜視図であり、n-InP基板1上に、n-InAlAs層2、InAlGaAsコア層3、InAlAs/InGaAs超格子光吸収増倍層4、InAlGaAsコア層5、p-InAlAs層6、p-InGaAsコンタクト層7が積層されてメサストライプ状とされ、これらの層2〜7はポリイミド埋め込み層8により全体が埋め込まれ、このポリイミド埋め込み層8上にはp型電極9が形成され、また、n-InP基板1の裏面にはn型電極10が形成されている。

【0005】この半導体受光素子は、InGaAsとInAlAsとの超格子構造を用い、そのInGaAs層を入射光Lを吸収する光吸収層として、InAlAs/InGaAs超格子構造をアバランシェ増倍層として利用しており、InGaAsとInAlAsとを組み合わせることで、電子に対するバンド不連続が大きく、正孔に対するバンド不連続が小さい構造ができ、電子のイオン化率の向上を図ることができる。また、このとき、光吸収層の薄膜化による量子効率の劣化を防ぐために、導波路構造を取り入れている。この超格子構造を用いて薄膜光吸収層兼アバランシェ増倍層とすることで、低電圧動作を実現している。

【0006】

【発明が解決しようとする課題】従来のアバランシェ増倍型の半導体受光素子では、pn接合に高電界を印加してアバランシェ増倍を得るため、一般的に動作電圧が高くなる。そこで、光吸収層及びアバランシェ増倍層を一体化して薄膜化、超格子化することで動作電圧を低減している。ところで、このようにアバランシェ層内で光吸収/光電変換を行なう場合においては、アバランシェ過程に伴う過剰雑音をより増大させることが理論的に知られており、過剰雑音が増大し、S/N比が劣化し、ひいては受信感度が劣化するという問題点があった。

【0007】また、光ファイバ通信によく利用される1.3 μ m帯や1.5 μ m帯の光を受光するには、この波長帯域に対応したバンドギャップの小さな材料を光吸収層に用いる必要があるが、このような材料をアバランシェ増倍層と一体化させた場合、バンドギャップの小さな材料に大きな電界がかかるため、トンネル暗電流が発生する原因となり、高い増倍率が得られなかったり、受信感度が劣化したり等の問題点がある。

【0008】また、光吸収層と基板との格子整合が暗電流を小さく保つための条件と考えられているが、光吸収層として使える化合物半導体の組成比の選択の余地はほとんどなく、光吸収層のバンドギャップエネルギーが制限

されてしまい任意に設定することができないという問題点があった。

【0009】本発明は、上記の事情に鑑みてなされたものであって、低電圧動作で増倍率が高く、同時に暗電流が低い高感度のアバランシェ増倍型の半導体受光素子を提供することを目的とし、さらに、光吸収層の格子整合条件を取り除き、光吸収層の材料の範囲を広げることができるアバランシェ増倍型の半導体受光素子を提供することを目的とする。

【0010】

【課題を解決するための手段】上記課題を解決するために、本発明は次の様な半導体受光素子を提供する。すなわち、本発明の請求項1記載の半導体受光素子は、半導体基板上に、アバランシェ増倍層及び光吸収層を備え、これら増倍層及び光吸収層の一方または双方をガイド層で挟んでなる導波路型の半導体受光素子において、前記光吸収層のキャリア濃度を、前記アバランシェ増倍層のキャリア濃度より高濃度としたことを特徴としている。

【0011】また、請求項2記載の半導体受光素子は、請求項1記載の半導体受光素子において、前記アバランシェ増倍層と前記光吸収層との間に電界緩和層を設けたことを特徴としている。

【0012】また、請求項3記載の半導体受光素子は、請求項1または2記載の半導体受光素子において、前記アバランシェ増倍層を超格子により構成したことを特徴としている。

【0013】また、請求項4記載の半導体受光素子は、請求項1、2または3記載の半導体受光素子において、前記光吸収層のキャリア濃度は、積層方向に濃度勾配を有することを特徴としている。

【0014】また、請求項5記載の半導体受光素子は、請求項1ないし4のいずれか1項記載の半導体受光素子において、前記アバランシェ増倍層の厚みを、0.3 μ m以下としたことを特徴としている。

【0015】また、請求項6記載の半導体受光素子は、請求項1ないし5のいずれか1項記載の半導体受光素子において、前記光吸収層を前記アバランシェ増倍層より上方に形成し、かつ、前記光吸収層に歪を導入してそのバンドギャップを任意に変化させたことを特徴としている。

【0016】本発明の半導体受光素子では、前記光吸収層のキャリア濃度を、前記アバランシェ増倍層のキャリア濃度より高濃度としたことにより、印加電圧の大半がアバランシェ増倍層に印加されることとなり、光吸収層に印加される電圧は非常に小さなものとなる。これにより、光吸収層に印加される電圧が非常に小さくなり、素子の動作電圧が低下する。また、動作電圧を印加する時に、光吸収層にかかる電界がほとんどないために、無電界状態の光吸収層からの暗電流成分が大幅に減少する。

【0017】また、前記アバランシェ増倍層と前記光吸

収層との間に電界緩和層を設けた場合、光吸収層からの暗電流成分が減少する効果はより大きくなる。また、前記電界緩和層が高キャリア濃度で薄膜化された場合、該電界緩和層にかかる電圧が低下し、全体として動作電圧の低下に寄与する。さらに、電界がかかっていない光吸収層は高光入力時の耐飽和特性にも優れているため、大入力光を有効に受信することが可能になる。

【0018】ここでは、素子の動作電圧を低下させるために、各層の層厚と電界の積の和で表される印加電圧のうち、光吸収層で必要としていた電圧を0Vに近づける方法が採られる。この場合、光吸収層自体のキャリア濃度を上げて電界を緩和し、光吸収層全体が空乏化しないようにして光吸収層の動作電圧を低下させる方法と、アバランシェ増倍層と光吸収層の間に電界緩和層を設け、電界緩和層によってアバランシェ増倍層の電界を緩和し、電界緩和層と光吸収層界面での電界がビルトイン・ポテンシャルによる電界と同程度の大きさになるような構造とすることで動作電圧を低下させる方法とがある。

【0019】この場合、光吸収層での電界が小さくなるため、アバランシェ増倍層への注入効率が低下してしまう。そこで、これを改善するために、光吸収層の内部にドーパント濃度、すなわちキャリア濃度が積層方向の濃度勾配を有するようにすることにより、光吸収によって発生したキャリアのアバランシェ増倍層への注入を促進することが可能になる。また、光吸収層のキャリア濃度が積層方向の濃度勾配を有することから、アバランシェ増倍層へのキャリア注入効率、即ち光電変換効率（量子効率）が向上する。

【0020】また、アバランシェ増倍層を超格子を用いた薄膜とすることで、動作電圧を20V程度、好ましくは15V程度もしくはそれ以下とすることが可能である。この時、従来のものと降伏電圧あるいは動作電圧が同じであれば、従来のものと増倍率が同じになる。一方、光吸収層からの暗電流成分が大幅に減少しているため、受信感度、最高感度を出すための最適増倍率ともに改善されることとなる。

【0021】また、アバランシェ増倍層の薄膜化によるトンネル電流のブレイクダウンを阻止し、かつ、アバランシェ増倍によるブレイクダウン特性を保持するため、アバランシェ増倍層はバンドギャップの大きな材料で構成することが好ましい。アバランシェ増倍層を超格子で構成しない場合、光吸収層のバンドギャップが同じ大きさである場合には、該アバランシェ増倍層のバンドギャップは大きい方が好ましい。

【0022】また、光吸収層をアバランシェ増倍層の上方に配置した場合では、該光吸収層に歪を導入し、該光吸収層を構成する化合物の組成を変化させることにより、そのバンドギャップエネルギーを受光しようとする光の波長のエネルギーに合わせる事が可能になる。さらに、光吸収層を薄厚化し、その周囲をワイドギャップ

半導体や低屈折率の材料で覆うことにより、導波路を形成し、量子効率の増加を図ることが可能である。

【0023】

【発明の実施の形態】本発明の半導体受光素子の各実施形態について図面に基づき説明する。

【第1の実施形態】図1は本発明の第1の実施形態のメサ型アバランシェ増倍型半導体受光素子を示す斜視図である。この半導体受光素子は、n型InP基板1上に、ガイド層11、アバランシェ増倍層12、電界緩和層1

	導電型	キャリア濃度 (cm^{-3})	層厚 (μm)
ガイド層11	n	5×10^{17}	0.5
アバランシェ増倍層12	n	1×10^{15}	0.3
電界緩和層13	p	1×10^{18}	0.05
低濃度光吸収層14	p	1×10^{16}	0.1
高濃度光吸収層15	p	1×10^{18}	0.1
ガイド層16	p	1×10^{18}	0.5
p型コンタクト層7	p	2×10^{19}	0.2

【0025】また、これらの層を構成する材料は、ガイド層11がエネルギーギャップが $\sim 1\text{eV}$ でInPに格子整合するInAlGaAsまたはInGaAsP、アバランシェ増倍層12がInAlAs、電界緩和層13がInPに格子整合するInAlAsまたはInP、低濃度光吸収層14及び高濃度光吸収層15がInPに格子整合するInGaAsである。

【0026】アバランシェ増倍層12は、イオン化率比を改善するために、2種類の超薄膜を積層した超格子からなる構造とすることもできる。その際の超格子構造としては、例えば、InAlAs (20nm)/InGaAlAs (10nm)を10周期繰り返した量子井戸構造とすると、およそ0.3 μm の厚みの増倍層を構成することができる。

【0027】また、アバランシェ増倍層12はワイドギャップ半導体のほうが好ましいので、InPに格子整合するIII-V族化合物半導体を用いても良い。その際には、アバランシェ増倍層12のブレイクダウン電界にあわせ、電界緩和層13の層厚を上述したものの2倍 (約0.1 μm)程度とする。

【0028】この半導体受光素子を作製するには、前記層11～16、7を成長させる結晶成長装置として、燐のクラッキングセルを利用することが可能な固体ソースMBE、ガスソースMBE、MO-MBEなどを用いる。また、成長温度は450℃～520℃の間とする。また、電界分布の精度を向上させるため、p型ドーパントとして拡散係数の小さいBeを用いる。

【0029】まず、上記の結晶成長装置を用いてエピタキシャル層を作製した後、 $\text{Br}_2:\text{HBr}:\text{H}_2\text{O}$ の組成のエッチング液を使ってメサストライプ状の導波路の形成を行う。このとき、基板1が露出する程度にエッチングを行う。なお、導波路を形成するメサの大きさは5 $\mu\text{m} \times 20\mu\text{m}$ 程度とする。その後、メサ側壁を保護する

3、低濃度光吸収層14、高濃度光吸収層15、ガイド層16、p型コンタクト層7が積層されてメサストライプ状とされ、これらの層11～16、7はパッシベーション膜17により全体が覆われ、このパッシベーション膜17上にはp型コンタクト層7に導通するp型電極9が形成され、また、n型InP基板1の裏面にはn型電極10が形成されている。

【0024】これらの層の導電型、電界分布を決めるキャリア濃度及び層厚は次の通りである。

キャリア濃度 (cm^{-3}) 層厚 (μm)

5×10^{17}	0.5
1×10^{15}	0.3
1×10^{18}	0.05
1×10^{16}	0.1
1×10^{18}	0.1
1×10^{18}	0.5
2×10^{19}	0.2

ため、メサストライプ状の層11～16、7全体を覆うように SiO_x あるいは SiN_x を堆積させてパッシベーション膜17を形成する。

【0030】p型電極9は、メサ最上部のパッシベーション膜17をエッチングで除去し、Ti/Pt/Auを蒸着して形成する。n型電極10は、Au/Ge/Niを真空蒸着装置を用いて蒸着することで形成する。なお、光の入射端面には、 SiN_x または SiO_x からなる反射防止膜を形成する。

【0031】次に、この半導体受光素子の動作について説明する。この半導体受光素子では、光信号である入射光Lを、光吸収層14、15に対して横方向から入射させ、導波路に整合させるようにする。ここでは、およそ18V以上でアバランシェ増倍が顕著となり、降伏電圧はおおよそ20Vであった。また、このときのアバランシェ増倍層12における電界強度はおおよそ600KV/cmになっていた。また、アバランシェ増倍の最大増倍率は30以上であった。

【0032】アバランシェ層12における高電界は、電界緩和層13では緩和され、電界緩和層13と光吸収層14との界面では、ほぼ、ビルトイン・ポテンシャルによる電界と同じ程度の大きさになる。この受光素子に入射した入射光Lは、導波路を通過しながら光吸収層14、15でキャリアを発生する。発生したキャリアは拡散、ドリフトにより電界のかかった電界緩和層13、アバランシェ増倍層12へと注入され、アバランシェ増倍層12で印加電圧・電界値に対応した増倍過程を経て光信号として検出される。

【0033】ここで、光吸収層を低濃度光吸収層14と高濃度光吸収層15の2層により構成すると、光吸収層内にキャリア濃度の勾配が形成されることとなり、注入効率が向上する。これは、キャリアの濃度勾配により内部電界が発生し、非空乏層領域での再結合損が無視でき

るようになるためである。この半導体受光素子の遮断周波数はおよそ10GHzであった。

【0034】図2は、この半導体受光素子のバンド構造を示す図であり、図において、21は低濃度光吸収層14と高濃度光吸収層15により構成される濃度勾配付き光吸収層、22はn型コンタクト層、23は光キャリア（電子）、24は光キャリア（正孔）である。なお、図中、層厚の方向は電界の方向と同一である。この半導体受光素子の光吸収層21に入射光Lが入射すると、該光吸収層21内では電子-正孔対が発生し、この電子-正孔対により生じた電子23が電界緩和層13を経由してアバランシェ増倍層12へと注入される。このアバランシェ増倍層12では、アバランシェ増倍を起こすことにより信号が増幅されるので、外部に光電流として出力することができる。

	導電型	キャリア濃度 (cm^{-3})	層厚 (μm)
ガイド層11	: n	5×10^{17}	0.5
アバランシェ増倍層12	: n	1×10^{15}	0.25
電界緩和層13	: p	1×10^{18}	0.05
ガイド層33	: p	1×10^{18}	0.5
p型コンタクト層34	: p	2×10^{19}	0.2

【0037】また、これらの層を構成する材料は、ガイド層11がエネルギーギャップが $\sim 1\text{eV}$ でInPに格子整合するInAlGaAsまたはInGaAsP、アバランシェ増倍層12がInAlAs、電界緩和層13がInPに格子整合するInAlAsまたはInP、ガイド層33がInP、p型コンタクト層34がInGaAsである。

【0038】この半導体受光素子を作製するには、前記層11 \sim 13、31 \sim 34を成長させる結晶成長装置として、嬲が利用できるような嬲のクラッキングセルを取り付けた固体ソースMBE、ガスソースMBE、MOVPEなどを用いる。また、成長温度は480 $^{\circ}\text{C}$ \sim 530 $^{\circ}\text{C}$ の間とする。また、電界分布の精度を向上させるため、p型ドーパントとして拡散係数の小さいBeを用いる。

【0039】導波路を形成するための大きなメサストライプ部は10 μm \times 30 μm 程度のものをブロム系のエッチング液を用いて形成する。さらに、磷酸系のエッチング液を用い、このメサストライプ部の真ん中を電界緩和層13までU溝或いはV溝状にエッチングし、溝を形成する。この溝の幅は5 μm 程度とする。この溝の形成は、RIEやRIEなどのドライエッチング装置を用いても可能である。

【0040】硫酸系エッチング液により成長前処理したのち、上記の成長装置、またはMOVPE装置を用い、 $\text{p}^+-\text{In}_x\text{Ga}_{1-x}\text{As}$ (Xは任意) からなる光吸収層31を形成し、さらに上部埋め込み層32として p^+-InP を形成することで、光は導波モード内に閉じこめられる。その後、最上部に SiO_2 あるいは SiN_x

【0035】[第2の実施形態] 図3は本発明の第2の実施形態のアバランシェ増倍型半導体受光素子を示す斜視図である。この半導体受光素子は、n型InP基板1上に、ガイド層11、アバランシェ増倍層12、電界緩和層13、 $\text{p}^+-\text{In}_x\text{Ga}_{1-x}\text{As}$ (Xは任意) からなる光吸収層31、 p^+-InP からなる埋め込み層32が形成され、電界緩和層13上に光吸収層31及び埋め込み層32を挟むようにガイド層33及びp型コンタクト層34が形成され、これらの層11 \sim 13、31 \sim 34はパッシベーション膜17により全体が覆われ、このパッシベーション膜17上にはp型コンタクト層34に導通するp型電極9が形成され、また、n型InP基板1の裏面にはn型電極10が形成されている。

【0036】これらの層の導電型、電界分布を決めるキャリア濃度及び層厚は次の通りである。

	導電型	キャリア濃度 (cm^{-3})	層厚 (μm)
ガイド層11	: n	5×10^{17}	0.5
アバランシェ増倍層12	: n	1×10^{15}	0.25
電界緩和層13	: p	1×10^{18}	0.05
ガイド層33	: p	1×10^{18}	0.5
p型コンタクト層34	: p	2×10^{19}	0.2

を堆積させてパッシベーション膜17を形成する。

【0041】電極を形成するために必要な領域のパッシベーション膜17をエッチングにて除去し、p型コンタクト層34を露出させた後、p型電極9を形成する。n型電極10は、Au/Ge/Niを真空蒸着装置を用いて蒸着することで形成する。上記構造をとることにより、導波路に結合した光信号は光吸収層31で光キャリアを形成し、電界緩和層13、アバランシェ増倍層12にドリフトにて注入され、検出される。

【0042】ここでは、光吸収層31に $\text{p}^+-\text{In}_x\text{Ga}_{1-x}\text{As}$ (Xは1.0 \sim 0.53の間の任意の値) を用いることで、バンドギャップをInPより小さな $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ からInAsまで可変することができ、長波長の光を検出可能とする事ができる。

【0043】この半導体受光素子が、第1の実施形態と異なった構造になっているのは、電界緩和層13の上部にInPと格子整合したInGaAsを堆積させてp型コンタクト層34とし、格子整合していない光吸収層31の上部にコンタクト層を形成するのを回避するためである。

【0044】この半導体受光素子では、光信号である入射光Lを横方向より導波路に結合させるように入射させる。この入射光Lは光吸収層31に入射し、その内部でキャリアを生成する。この被吸収層31内で発生したキャリアは、拡散により電界緩和層13に達し、アバランシェ増倍層12に注入される。この光吸収層31にキャリア濃度の勾配を形成すると、注入効率が向上する。また、アバランシェ増倍が顕著となる電圧は、15V程度となる。この場合の遮断周波数はおよそ10GHzであ

った。

【0045】以上説明した様に、各実施形態の半導体受光素子によれば、光吸収層14、15(31)に掛かる電圧を非常に小さくすることができ、アバランシェ増倍動作時の暗電流の増加を抑制しながら、動作電圧の低下を図ることができる。したがって、低電圧動作で増倍率が高く、同時に暗電流が低く、高感度であり、さらに、光吸収層の格子整合条件を取り除き、光吸収層の材料の範囲を広げることにより、光吸収層のバンドギャップエネルギーを変化させることのできるアバランシェ増倍型の半導体受光素子を提供することができる。特に、この構造を用いて動作電圧を15V以下に設定した場合、動作電源や信号増幅回路の選択肢が増え、実装が容易で高感度な光受信器を実現することができる。

【0046】なお、本実施形態では、InP基板上の材料を中心に説明してきたが、InP基板以外の基板、例えば、GaAs基板等も用いることができる。GaAs基板を用いた場合には、各層をGaAsに格子整合する化合物を用い、光吸収層のみ $p^+-In_xGa_{1-x}As$ (Xは任意)を用いて構成すればよい。また、GaSb系、SiGe混晶系、Si/Geヘテロ接合系にも適用することができる。また、光吸収層は高濃度の均一層でもよく、あるいは、全体にわたって濃度勾配を持った層としてもよいことはいふまでもない。

【0047】

【発明の効果】以上説明した様に、本発明の半導体受光素子によれば、光吸収層のキャリア濃度を、アバランシェ増倍層のキャリア濃度より高濃度としたので、印加電圧の大半がアバランシェ増倍層に印加されることとなり、光吸収層に印加される電圧を非常に小さくことができ、素子の動作電圧を低下させることができる。また、動作電圧を印加する時に、光吸収層にかかる電界がほとんどないために、無電界状態の光吸収層からの暗電流成分を大幅に減少させることができる。

【0048】したがって、低電圧動作で増倍率が高く、同時に暗電流が低く、高感度であり、さらに、光吸収層の格子整合条件を取り除き、光吸収層の材料の範囲を広げることにより、光吸収層のバンドギャップエネルギー

を変化させることのできるアバランシェ増倍型の半導体受光素子を提供することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態のアバランシェ増倍型半導体受光素子を示す斜視図である。

【図2】 本発明の第1の実施形態のアバランシェ増倍型半導体受光素子のバンド構造を示す図である。

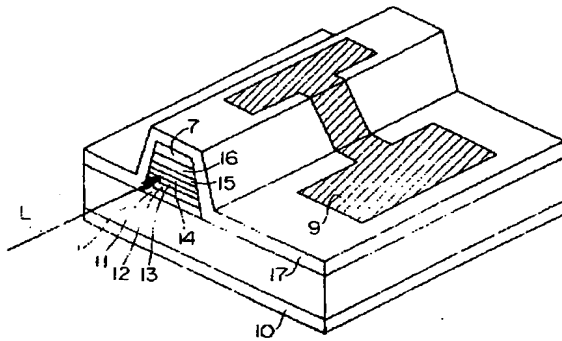
【図3】 本発明の第2の実施形態のアバランシェ増倍型半導体受光素子を示す斜視図である。

【図4】 従来のアバランシェ増倍型半導体受光素子を示す斜視図である。

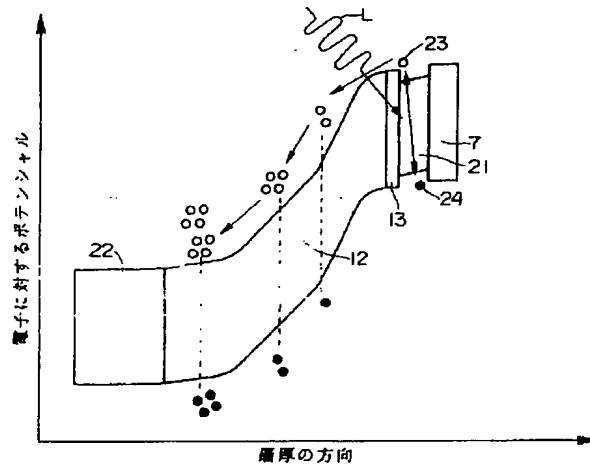
【符号の説明】

- 1 n-InP基板
- 2 n-InAlAs層
- 3 InAlGaAsコア層
- 4 InAlAs/InGaAs超格子光吸収増倍層
- 5 InAlGaAsコア層
- 6 p-InAlAs層
- 7 p-InGaAsコンタクト層
- 8 ポリイミド埋め込み層
- 9 p型電極
- 10 n型電極
- 11 ガイド層
- 12 アバランシェ増倍層
- 13 電界緩和層
- 14 低濃度光吸収層
- 15 高濃度光吸収層
- 16 ガイド層
- 17 パッシベーション膜
- 21 濃度勾配付き光吸収層
- 22 n型コンタクト層
- 23 光キャリア(電子)
- 24 光キャリア(正孔)
- 31 光吸収層
- 32 埋め込み層
- 33 ガイド層
- 34 p型コンタクト層
- L 入射光

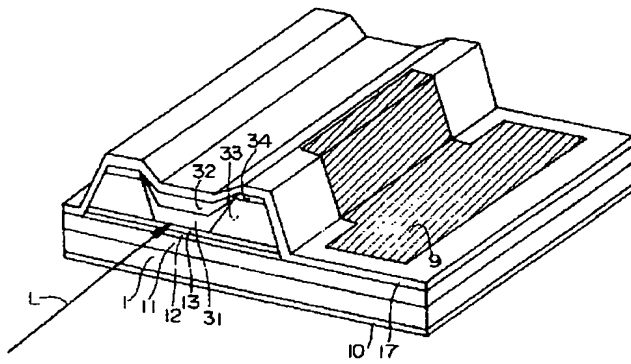
【図1】



【図2】



【図3】



【図4】

